

低消費電力のフラッシュFPGAに最適化したARM コア M1AGL250/M1AGL600/M1AGLE3000

米国 Actel 社は、主に携帯機器への搭載を狙った低消費電力のフラッシュFPGA「IGLOO/IGLOOeファミリ」に最適化したARM コア「Cortex-M1」の提供を開始した。FPGA ユーザは、Cortex-M1 対応品種のFPGAを使えば、ライセンス料、ロイヤリティ共に無償で利用できる。IGLOO/IGLOOeファミリのCortex-M1 対応品種として、「M1AGL250」、「M1AGL600」、「M1AGLE3000」がある。フラッシュFPGAとは、フラッシュ・メモリ・セルをプログラム素子として利用するFPGAである。SRAM ベースのFPGA と異なり、外付けのコンフィグレーションROMを必要としない。

Cortex-M1は、Thumb2 命令セットに対応した小規模のASIC 向けコア「Cortex-M3」と機能互換性がある。IGLOO に本CPU コアを実装した場合、最大39MHzで動作する。実装に必要な論理ブロック数は

4,435 タイル。Actel 社のIP コア管理ツール「CoreConsole」を使用してコアのデータを手入(ダウンロード)し、機能をカスタマイズする。ソフトウェア開発には、Actel 社のソフトウェア開発ツールである「Soft Console」を利用する。また、市販のARM

表1 Cortex-M1 対応IGLOO の概要

型 名	M1AGL250	M1AGL600	M1AGLE3000
システム・ゲート数	25 万	60 万	300 万
タイル数 (DFF 数)	6,144	13,824	75,264
RAM 容量	36K ビット	108K ビット	504K ビット
フラッシュ・メモリ容量	1K ビット	1K ビット	1K ビット
PLL 数	1	1	6
I/Oバンク数	4	4	8
パッケージ	VQ100, FG144	FG144, FG256, FG484	FG484, FG896

マイコン向けの開発ツールも利用できる。FPGA の開発には、「Libero 8.0 SP1B」以降を使用する。さらに、開発キットも用意される。

M1AGL600 はすでに出荷を開始している。そのほかの品種は2008 年前半に出荷を開始する予定である。

価格

3.70 ドル(M1AGL250, 大量購入時の単価)

7.95 ドル(M1AGL600, 大量購入時の単価)

365 ドル(開発キット)

連絡先

アクテルジャパン株式会社

TEL 03-3445-7671

japan@actel.com

<http://www.jp.actel.com/>

ARM のマルチコアを搭載したカーナビ向けシステムLSI

NaviEngine

NEC エレクトロニクスは、ARM のマルチコアである「MPCore」を搭載したカーナビゲーション・システム向けLSI「NaviEngine」を発売した。交通経路の位置案内やワンセグ放送受信、道路状況などの画像認識を同時に実行できる。

MPCore はARM11 コアを4 個搭載するプロセッサ・コアである。NEC エレクトロニクスとARM 社が共同で開発した。最高動作周波数は400MHz。一つのARM11

コアの処理性能は480MIPS、MPCore 全体では1920MIPS。2次元と3次元の描画を高速化するグラフィックスIP コア「SGX 535」を内蔵しており、最大1500 万ポリゴン/s で描画できる。

外部インターフェースとして、SATA (Serial Advanced Technology Attachment) インターフェース、ATAPI(AT Attachment Packet Interface)インターフェース、USB 2.0 インターフェース(2ポート)、UART(Universal Asynchronous Receiver Transmitter)インターフェース、SD カード・インターフェース、CompactFlash カード・インターフェース、ビデオ・キャプチャ用インターフェース、T&T Transport Stream) インターフェースなどを備える。

動作電圧は1.0V または1.8V、3.3V。パッケージの外形寸法は27mm × 27mm × 2.55mm。パッケージは720 ピンのFC-BGA(Flip-chip Ball Grid Array)。



写真2 動画の再生、3次元グラフィックス描画、白線の検出、Windows CE 6.0の動作時の画面を同時に処理するデモンストレーション

価格

9,000 円(サンプル価格)

連絡先

NEC エレクトロニクス株式会社

TEL 044-435-9494

info@necel.com

http://www.necel.com/index_j.html



写真1 NaviEngine の外観

1148 ピンのVirtex-4 を搭載した小型の開発ボード XCM-202

ヒューマンデータは、1148 ピンのFPGA を搭載する評価・開発ボード「XCM-202」



写真1 XCM-202の外観

を発売した。基板の外形寸法は、54mm × 86mm と小さい。FPGA として、米国 Xilinx 社の Virtex-4 LX のうち、「XC4VLX40」、「XC4VLX60」、「XC4VLX80」、「XC4VLX100」、「XC4VLX160」のいずれかを搭載できる。

FPGA のほか、256M ビットのSDRAM (米国 Micron Technology 社の「MT48LC16M16」)や256K ビットのFRAM(米国 Ramtron International 社の「FM18L08」)、コンフィグレーションROM(Xilinx 社の「Platform Flash PROM」)、電源回路

を搭載する。ボードへは3.3Vの電源供給が必要。304本のI/Oピンを拡張コネクタ部に引き出している。環境規格であるRoHS指令に対応している。

価格
下記に問い合わせ
連絡先
有限会社ヒューマンデータ
TEL 072-620-2002
<http://www.hdl.co.jp/>

カーナビや安全走行支援周辺機器向けのSH-4A プロセッサ SH77650

ルネサス テクノロジは、カー・ナビゲーション・システムや安全走行支援周辺機器向けのSH-4A プロセッサ「SH77650」を発売する。日立製作所が開発した画像認識処理回路を搭載する。これは、カメラなどで撮影した画像データをもとに、走行環境を認識するために必要な画像処理を行う回路である。走行レーンの認識や先行車の検知・追跡などを行うプログラムを複数同時に、かつリアルタイムに実行できる。

CPU コアであるSH-4Aの動作周波数は最大300MHz、処理性能は540MIPS

(Million Instructions per Second)。CPU コアの内部に16K バイトのRAMを備える。また、オンチップ・バスを介して256K バイトのRAM ブロックと接続する。32K バイトの命令キャッシュと32K バイトのデータ・キャッシュを備える。

さらに、最大300MHzで動作する浮動小数点演算器(FPU: Floating-point Processing Unit)を内蔵する。単精度と倍精度の演算に対応する。単精度の場合の浮動小数点演算性能は2.1GFLOPS(Giga Floating-point Operations per Second)。

電源電圧は、コア部が1.2V、I/O部が3.3Vと2.5V。パッケージは、外形寸法が19mm × 19mmの376ピンBGA。2007年11月にサンプル出荷を開始する。

価格
6,000 円(サンプル価格)
連絡先
株式会社ルネサス テクノロジ
TEL 03-5201-2949
csc@renesas.com
<http://japan.renesas.com/>

HD ビデオのワイヤレス伝送に利用できるJPEG2000 ビデオCODEC LSI ADV216

Analog Devices 社は、JPEG2000 のビデオ圧縮規格に基づいたビデオCODEC LSI「ADV216」を発売した。本LSIは、HD(High Definition)ビデオのワイヤレス伝送(例えばUWBやIEEE 802.11nなどによる伝送)に利用できる。JPEG2000のCODECは、MPEGベースのCODECと比較して、ブロック・ノイズを低減できる。また、エラー耐性も改善される。インターフェースとして、HDMIおよびWireless for HDMIに対応する。

同社は、HDTV(High Definition Televi-

sion)を含む高品質AV機器向け製品のブランド「Advantiv」も併せて発表した。Advantivには設計サポート、およびオーディオ、ビデオ、ディスプレイ、HDMI準拠の

接続機能などが含まれる。Advantiv製品として、ADV216のほかに、オーディオ・プロセッサ「ADAV43x2」、「ADAV43x2」や、D級オーディオ・アンプ「ADAU1590」、「ADAU1592」、「ADAU1513」なども発表した。



写真1
ADV216
の外観

価格
17.35 ドル(1,000個購入時の単価)
連絡先
アナログ・デバイス株式会社
TEL 03-5402-8291
<http://www.analog.com/jp/>

携帯電話向けのバッテリー残量管理 IC bq27500

米国 Texas Instruments 社は、携帯電話などに組み込むバッテリー残量管理 IC「bq27500」を発売した。バッテリー残量を 99% の精度で予測できるという。これまでノート型パソコンのバッテリー残量管理に用いていた技術を利用して、携帯電話向けの IC を開発した。

バッテリーは劣化(電気容量が縮小)してくると、残量が少なくなったときに急激に電圧が降下する。従来の携帯電話のバッテリー残量管理は、単純にバッテリー・セルの端子電圧を計測し、残量をだまかに予測して管

理しているものが多かった。このため、正確な残量を把握することが難しかった。

同社は、バッテリー残量計測に「Impedance Track」という方式を用いている。これは、電流と電圧をモニタして端子電圧とインピーダンスの関係から充電量を解析する方式である。同社は、この方式を用いたノート型パソコン向けのバッテリー残量管理 IC を 2005 年ころから出荷しており、ノート型パソコンの市場で約 60% のシェアがあるという。

本 IC は、1 セルの Li イオン・バッテリーの

データを計測し、バッテリー残量やバッテリーの動作時間を予測する。また、予測した放電曲線と残りの充電量との誤差を学習し、補正を行う。外形寸法は 2.5mm × 4mm。パッケージは 12 ピン SON(Small Outline Non-leaded Package)。

価格

1.35 ドル(1,000 個購入時の単価)

連絡先

日本テキサス・インスツルメンツ株式会社
<http://www.tij.co.jp/pic/>

UltraSPARC T2 プロセッサを搭載した Sun SPARC Enterprise サーバ SPARC Enterprise T5120/T5220

米国 Sun Microsystems 社と富士通は、初めて UltraSPARC T2 プロセッサを搭載したサーバ製品「SPARC Enterprise T5120」と「SPARC Enterprise T5220」を発売した。出荷開始は 2007 年 11 月下旬を予定。Sun ブランドと富士通ブランドで両方で販売される。両機種はラック型であり、「T5220」は 8 コア、64 スレッドで 1.4GHz 動作の Ultra SPARC T2 プロセッサを、「T5120」は 4 コア、32 スレッドで 1.2GHz 動作、または 8 コア、64 スレッドで 1.4GHz 動作の SPARC T2 プロセッサを搭載する。OS は Solaris

10 OS 8/07 がプリインストールされている。

UltraSPARC T2 プロセッサは、2007 年 8 月に出荷されたマルチコア・プロセッサである。Sun Microsystems 社は同プロセッサを「64 SoC(Systems on a Chip)」と呼んでいる。同プロセッサの各コアは、浮動小数点演算ユニット(FPU)と暗号化処理ユニット(SPU)を内蔵する。また、本プロセッサは 10G ビット Ethernet 回路や PCI Express インターフェース回路を備える。さらに、OS とアプリケーション・ソフトウェアの実行領域を分割できる「LD

oms(Logical Domains)」、1 インスタンスで最大 4000 のアプリケーションを動かせる「Solaris コンテナ」といった二つの仮想化技術を導入している。

価格

971,000 円から(SPARC Enterprise T5120, 税別)

1,086,000 円から(SPARC Enterprise T5220, 税別)

連絡先

サン・マイクロシステムズ株式会社
TEL 03-5717-5000
<http://jp.sun.com/>

マルチコア・プロセッサ対応リアルタイム OS eT-Kernel Multi-Core Edition

イーソルは、マルチコア・プロセッサ対応リアルタイム OS「eT-Kernel Multi-Core Edition」のスケジューリング機能を拡張した。本 OS は、T-Engine フォーラムが標準化したマルチプロセッサ対応 T-Kernel(MP T-Kernel)の仕様に基づいている。

同社の従来製品は、対称型と非対称型の両マルチプロセッサ構成に対応した二つのスケジューリング・モード「True SMP Mode(TSM)」と「Single Processor Mode(SPM)」を備えていた。

今回の機能拡張では、さらに二つのモー

ド「Single Processor Mode on TSM cores(SPM on TSM)」と「Serialize threads on TSM cores(SRL on TSM)」を追加し、合計四つのモードとなった。

「SPM on TSM」は、TSM 下でプログラムを実行する複数のコア(TSM コア)の中から、プログラムが動作する CPU コアを開発者が指定できる。「SRL on TSM」は、TSM 下でプログラム内の一つのタスクのみを実行する。プログラムが動作する CPU のコアについては OS が選択する。つまり一度に二つ以上のタスクが同時に実行され

ることはなく、一つ一つ順番に(シリアルに)実行される。

四つのスケジューリング・モードを利用することで、より柔軟なシステム設計が可能となる。さらソフトウェア資産の再利用性が向上するという。

価格

下記に問い合わせ

連絡先

イーソル株式会社
TEL 03-5302-1360
<http://www.esol.co.jp/>